

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-129571

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 17/50		9191-5H	G 0 6 F 15/ 60	6 5 8 K
		9191-5H		6 5 8 U

審査請求 未請求 請求項の数4 OL (全9頁)

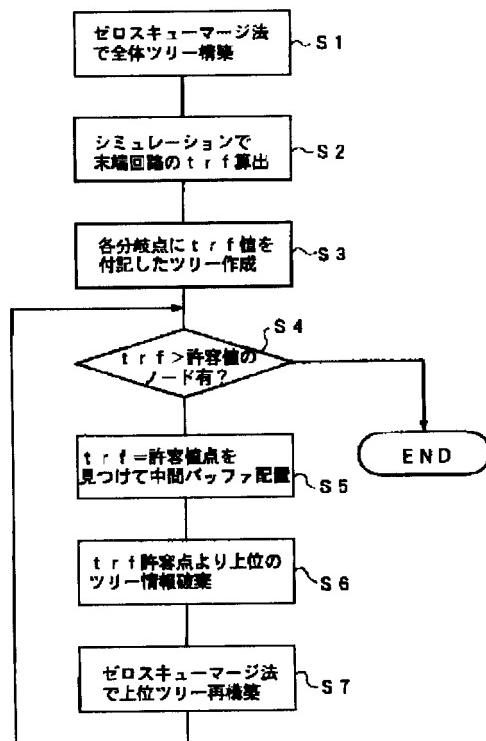
(21)出願番号	特願平6-267427	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成6年(1994)10月31日	(72)発明者	小山 明夫 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 大日方 富雄

(54)【発明の名称】 クロック配線の設計方法

(57)【要約】 (修正有)

【目的】 末端での立上り立下り時間が揃いしかもスキーの小さなクロック配線レイアウトを得る。

【構成】 ゼロスキューマージ法によりツリー状のクロック配線レイアウトを一旦設計した後、末端回路でクロックの立上り立下り時間が許容値を超えている場合にはそれが許容値以下になる点をツリー上で求め、そこにバッファアンプを挿入する。次に trf許容点よりも上位もしくは上流側の配線レイアウト情報を破棄し、 trf許容点より下位もしくは下流側のツリーのディレイを考慮してゼロスキューマージ法により再度ツリー状レイアウトを設計し、バッファ挿入点でクロックの立上り立下り時間が許容値を超えていないか判定して超えている場合は trf許容点にバッファアンプを挿入し、上記手順を繰り返す。



## 【特許請求の範囲】

【請求項1】 ゼロスキューマージ法によりチップ全体のツリー状のクロック配線レイアウトを設計した後、末端回路でクロックの立上り立下り時間が許容値を超えていたか調べ、超えている場合には立上り立下り時間が許容値以下になる  $t_{rf}$  許容点をツリー上で求め、その点をバッファアンプ挿入位置とし、次に、 $t_{rf}$  許容点よりも上位の配線レイアウト情報を破棄し、 $t_{rf}$  許容点より下位のツリーのディレイを考慮してゼロスキューマージ法により再度ツリー状配線レイアウトを設計した後、上記バッファ挿入点でクロックの立上り立下り時間が許容値を超えていないか調べて超えている場合には  $t_{rf}$  許容点を見つけてその点をバッファアンプ挿入位置とし、上記手順を繰り返すことにより最終的なクロック配線レイアウトを決定するようにしたことを特徴とする半導体集積回路におけるクロック配線の設計方法。

【請求項2】 ゼロスキューマージ法によりツリー状のクロック配線レイアウトを設計する際に、ディレイの差を相殺可能なマージ点を求めようとする2つのサブツリーの頂点としての分岐点が互いに配線禁止領域を挟んで位置する場合、上記2つの分岐点および配線禁止領域を包含する最小の矩形領域を求め、次に、上記各分岐点とそれらに最も近い最小矩形の頂点とを結ぶ冗長配線を決定した後、この冗長配線の持つディレイ分を着目する2つのサブツリーの各ディレイにそれぞれ加えた値をディレイ値として持つサブツリーを仮想し、この仮想サブツリーの頂点を上記最小矩形の頂点に置いて、ゼロスキューマージ法によりマージ点を求めて、そのうち上記最小矩形の辺上に位置する点をマージ点と決定するようにしたことを特徴とする請求項1に記載のクロック配線の設計方法。

【請求項3】 クロックを必要とする末端回路が半導体チップ上において他の部位よりも局所的に多く存在するロジック部を有する半導体集積回路の設計において、上記ロジック部には上記各末端回路のクロック入力端子に接続された網状のクロック配線を設け、該網状クロック配線を駆動するバッファアンプを他の部位に設けられたクロックを必要とする末端回路と対等な末端回路とみなして請求項1または2に記載の方法を適用してチップ全体のクロック配線を設計するようにしたことを特徴とするクロック配線の設計方法。

【請求項4】 上記配線禁止領域がスタンダードセル方式の論理LSIにおけるマクロセルであることを特徴とする請求項2に記載のクロック配線の設計方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路技術さらにはクロック信号を末端回路に供給する配線（以下、クロック配線と称する）のレイアウト設計方法に適用して特に有効な技術に関し、例えばスタンダードセル方式

やフルカスタム方式の論理集積回路におけるクロック配線のレイアウト設計に利用して有効な技術に関する。

## 【0002】

【従来の技術】 従来、論理LSIにおいては、1つのクロック信号あるいは位相の異なる複数のクロック信号に同期してLSI全体を動作させことがある。このような場合外部から供給された基本クロック信号をLSI内の各部のラッチ回路（フリップフロップ）等に分配することにより、デコードやメモリのリード・ライト、各種演算等の動作を行なうが、クロック信号の分配元から供給先までの配線の長さが異なったりしていると、各クロック信号の到達タイミングにずれ（クロックスキュー）が発生する。クロックスキューがあると、ラッチ回路では誤った信号を取り込んだり、論理ゲート回路では出力に不所望のひげ状パルスが発生して回路が誤動作するおそれがある。従って、クロック同期型LSIでは、クロックスキューの大小が、LSIの性能（動作速度）を決定する要因となる。

【0003】 そこで、従来はかかるクロックスキューを最小にするため、例えば図1に示すように、LSIのクロック入力端子1から末端のラッチ回路2等まで、複数のバッファアンプを設けながらクロック配線4をH字型に繰り返し分岐させ、全体としてツリー状をなすようにクロック配線を設計するHツリー法が提案されている。このHツリー法は、クロック信号を2倍、4倍、8倍…と規則的に分配させるため、対象性が高くかつ各分岐点のバッファアンプの負荷容量（配線容量および次段ゲートの入力容量等）がほぼ等しくなるので、スキューを低減することができるという利点がある。

【0004】 また、クロック配線の他の設計方法としてボトムアップ方式でツリー状のクロック分配系を構築するゼロスキューマージ法がある（特開平4-269860）。この方法は、クロックの供給を受ける末端の回路からスタートして、まずディレイ（遅延時間）の等しくなる分岐点N1, N2を見つけ、図2に示すように、そのような分岐点N1, N2を頂点とする2つのツリーT1, T2に着目して、それらのツリーのディレイが $t_1$ ,  $t_2$ であるときにディレイの差を相殺するような点M（以下、マージ点と称する）を見つけ、これを順にクロック分配元に向かって繰り返して行くことでツリー状クロック配線を構築するものであり、ツリー全体に対象性がない場合にもクロックスキューを小さくできる利点がある。

## 【0005】

【発明が解決しようとする課題】 上記Hツリー法は、ラッチ回路等のクロックを受ける末端の回路が半導体チップ上に均等に分布しているLSI（例えばゲートアレイ）には有効であるが、末端回路の分布に大きな偏りのあるLSI（例えばスタンダードセル方式のLSI）には適用できないという不都合がある。

【0006】一方、上記ゼロスキューマージ法は、クロックを必要とする末端回路の分布に偏りのあるLSIであっても適用できるという利点を有するものの、中間バッファが存在しないため、末端でのスキーが最小になつてもクロックの立上り立下り時間が長くなり過ぎて実用に耐えないという問題点があることが明らかになつた。すなわち、半導体集積回路のプロセスでは不純物濃度等のばらつきでインバータ等の論理ゲート回路の論理しきい値が電源電圧の1/2にならないことがある。このように論理ゲート回路のしきい値にはばらつきが生じている場合には、たとえクロックのディレイが同一であつても立上り立下り時間が異なると、図3に示すように、しきい値のずれ△VLTによって潜在的なスキー $t_{sk}$ が発生してしまう。また、CMOS・LSIでクロックの立上り立下り時間が大きいと貫通電流が流れて消費電力が多くなるという不都合がある。

【0007】この場合、ゼロスキューマージ法で設計されたツリー状クロック配線の途中の各分岐点にバッファアンプを挿入することが考えられる。しかしながら、各分岐点にバッファアンプを挿入しても、各バッファアンプごとにその負荷の大きさが異なる末端回路でのディレイのバランスが崩れてしまうとともに、信号の立上り立下り時間も不揃いになる。その結果、末端回路でクロックのスキーが発生してしまうことになる。

【0008】さらに、演算器やメモリのようなマクロセルで構成される例えばスタンダードセル方式のようなLSIにおいては、マクロセルを迂回するようにクロック配線を設計しなければならないが、上記Hツリー法およびゼロスキューマージ法はいずれもそのような迂回配線の設計が困難もしくは明確でないという問題点があった。

【0009】この発明の目的は、末端での立上り立下り時間が揃いしかもスキーの小さなクロック配線レイアウトの設計方法を提供することにある。

【0010】この発明の他の目的は、マクロセルが配置される例えばスタンダードセル方式のようなLSIにおいて、クロックスキーを生じることなくマクロセルを迂回するクロック配線を容易に設計可能な方法を提供することにある。

【0011】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0013】すなわち、まず前述したゼロスキューマージ法によりチップ全体のツリー状のクロック配線レイアウトを一旦設計した後、末端回路でクロックの立上り立下り時間が許容値を超えているか調べて超えている場合

には立上り立下り時間が許容値以下になる点（以下、 $t_{rf}$ 許容点と称する）をツリー上で求め、そこをバッファアンプ挿入位置とする。次に、 $t_{rf}$ 許容点よりも上位もしくは上流側の配線レイアウト情報を破棄し、 $t_{rf}$ 許容点より下位もしくは下流側のツリーのディレイを考慮してゼロスキューマージ法により再度ツリー状配線レイアウトを設計した後上記、バッファ挿入点でクロックの立上り立下り時間が許容値を超えていないか調べて超えている場合には $t_{rf}$ 許容点をバッファアンプ挿入位置とする。これを繰り返すことにより最終的なツリー状配線レイアウトを決定する。

【0014】また、ゼロスキューマージ法によりツリー状のクロック配線レイアウトを設計する際に、マージ点を求めようとする2つのサブツリーの頂点としての分岐点が互いに配線禁止領域を挟んで位置する場合、2つの分岐点および配線禁止領域を包含する最小の矩形領域を求める、次に、上記各分岐点とそれらに最も近い最小矩形の頂点とを結ぶ冗長配線を決定した後、この冗長配線の持つディレイ分を着目する2つのサブツリーの各ディレイにそれぞれ加えた値をディレイ値として持つサブツリーを仮想し、この仮想サブツリーの頂点を上記最小矩形の頂点に置いて、ゼロスキューマージ法によりマージ点を求めて、そのうち最小矩形の辺上に位置する点をマージ点と決定するようとする。

【0015】さらに、クロックを必要とする末端回路が半導体チップ上において他の部位よりも局所的に多く存在するロジック部を有する半導体集積回路の設計において、上記ロジック部には上記各末端回路のクロック入力端子に接続された網状のクロック配線を設け、該網状クロック配線を駆動するバッファアンプを他の部位に設けられたクロックを必要とする末端回路と対等な末端回路とみなして上記方法を適用してチップ全体のクロック配線を設計するようにした。

【0016】

【作用】ゼロスキューマージ法により設計したクロック配線のツリーにおいては分岐点より下位のディレイはそれぞれ同じでも負荷の大きさが異なるため、上記 $t_{rf}$ 許容点はツリー上の分岐点と重なるとは限らない。 $t_{rf}$ 許容点が分岐点と重なっていない場合には、バッファアンプを挿入したときにその点から末端回路までのディレイが異なってくる。上記した手段によれば、バッファアンプを挿入した点よりも上位もしくは上流側の配線レイアウト情報を破棄して、その点よりも下位もしくは下流側のツリーのディレイを考慮してゼロスキューマージ法により再度ツリーを構築するようしているため、末端回路での立上り立下り時間が揃いしかもスキーの小さなクロック配線レイアウトを得ることができる。

【0017】また、上記した手段によれば、クロック配線を設計しようとするLSIチップ上に配線禁止領域が存在する場合にも、これを迂回した最短の配線経路が得

られる。

【0018】さらに、クロックを必要とする末端回路が半導体チップ上において他の部位よりも局所的に多く存在するロジック部には網状のクロック配線を設け、その上にゼロスキューマージ法によりチップ全体の配線レイアウトを設計するようにしたので、クロック配線の設計負担を増大させることなく、クロックスキューを低減させることができる。

#### 【0019】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。

【0020】図7には、本発明に係るクロック配線の設計方法の全体の手順が示されている。本実施例では、まず、ゼロスキューマージ法によりLSI全体についてツリー状のクロック配線レイアウトを設計する(ステップS1)。ただし、最終的にクロックが供給される末端\*

$$dist1 = \frac{t2 - t1 + r |N1 - N2| (C2 + \frac{1}{2}c |N1 - N2|)}{r (C1 + C2 + c |N1 - N2|)}$$

$$dist2 = |N1 - N2| - dist1$$

【0023】ここで、 $|N1 - N2|$ は点N1、N2間を水平、垂直の線分だけで結んだマンハッタン距離、rは配線の単位長さ当たりの抵抗、cは配線の単位長さ当たりの容量、C1、C2は各ツリーT1、T2のもつ総容量で、この総容量には頂点N1、N2から末端回路までの配線容量および末端回路の入力容量が含まれる。

【0024】上記のようにしてマージ点Mが見つかったら次に、そのマージ点より下を1つのサブツリーとみなして、どうようにして得られた他のマージ点を頂点とするサブツリーとの間で上記と同様の手順でマージ点を見つけ、これを順にクロック供給源(ルートバッファ)に向かって繰り返して行くことで、図4に示すようなLSI全体に関するツリー状クロック配線を設計する。

【0025】次に、図4のツリーにおいて、ある分岐点に所定の駆動力を有するバッファアンプを置いたと仮定した場合のその分岐点を頂点とするサブツリーの各末端回路におけるtrf値(立上り立下り時間)を回路シミュレーションによって求め、得られた値を当該分岐点の属性値として記憶する(ステップS2)。これをツリーの全部の分岐点について行い、図5に示すようなラベル付きツリーを作成する(ステップS3)。例えば、図5において、点Aに付記されている1.3なる数字は、A点にバッファアンプを置いたときの末端回路のtrfが1.3nsであることを示している。

【0026】その後、上記ラベル付きツリーにおいて、trf値が予め設定された許容値(例えば、1.3ns)を超えているものがあるか否か調べて(ステップS4)、許容値を超えているものがあればtrf値が許容値

\*回路の配置は決定されているものとする。具体的には、配置が決定されている末端の回路からスタートして、まずディレイ(遅延時間)の等しくなる最初の分岐点N1、N2を見つけ、図2に示すように、分岐点N1、N2を頂点とする2つのサブツリーT1、T2に着目し、それらのディレイがt1、t2であるときにそれらのディレイとの差を相殺する点すなわち $t_1 + t_1' = t_2 + t_2'$ となるようなマージ点Mを求める。ここで、 $t_1'$ 、 $t_2'$ はそれぞれマージ点Mから各サブツリーT1、T2の頂点N1、N2までの配線のもつディレイである。

【0021】上記マージ点Mから各サブツリーT1、T2の頂点N1、N2までの配線の長さdist1、dist2は、次式で与えられる。

#### 【0022】

#### 【数1】

$$dist1 = \frac{t2 - t1 + r |N1 - N2| (C2 + \frac{1}{2}c |N1 - N2|)}{r (C1 + C2 + c |N1 - N2|)}$$

と一致する点(以下、trf許容点と称する)を求め、それらの点を中間バッファアンプ配置点と決定する(ステップS5)。

【0027】次に、図5のツリーにおいて、trf許容点を結ぶ等trf線Eを想定して、この等trf線より上位のツリーに関する配線レイアウト情報を破棄する(ステップS6)。そして、図6に示すように、バッファアンプを頂点とするサブツリーを考え、そのtrf許容点より下位のサブツリーのディレイtinit1, tinit2, tinit3…を考慮してこれらのディレイの差を相殺するようなマージ点をゼロスキューマージ法により求め、上位のツリーすなわち上流側のクロック配線のレイアウトを設計する(ステップS7)。このとき図2における容量C1、C2として中間バッファの持つ入力容量を考慮する。

【0028】それから、ステップS4へ戻って、新たに構築したツリー上の分岐点でtrf値が許容値を超えていないか判定して超えている場合には、再度trf許容点にバッファアンプを挿入するとともに、それよりも上位のツリー情報を破棄し、ツリーを再構築する。これを繰り返すことにより最終的なツリー状配線レイアウトを決定する。なお、上記各trf許容点に置くバッファアンプはすべて同一構成で、同一駆動力を有するものとする。

【0029】上記のようにして中間バッファアンプを挿入したツリーは、クロック供給源のルートバッファから末端回路までのディレイが一致しているのみならず、最終的にクロックを受ける各末端回路でのtrf値が同一となり、プロセスのばらつきにより末端回路の論理しきい値が所望の値( $Vcc/2$ )からずれていてもスキー

ほぼゼロにすることができる。なお、この実施例では、クロックの立上り時間  $t_r$  と立下り時間  $t_f$  とが同一であることを前提として説明したが、この立上り時間  $t_r$  と立下り時間  $t_f$  とが同一であるという条件は、例えば CMOS-LSI ではバッファアンプを構成する PMOSFET と NMOSFET の駆動力が同一になるように素子の定数を設定してやることで保証することができる。

【0030】次に、本発明の第2の実施例である配線禁止領域を含むLSIにおける配線迂回方法について説明する。なお、本実施例の迂回処理は、上記実施例による中間バッファの挿入位置を決定する処理の前に行うのが望ましい。従って、この実施例では、中間バッファの存在を無視して説明を行う。

【0031】例えば、図2に示されているサブツリーT<sub>1</sub>、T<sub>2</sub>が、図8に示すように、配線禁止領域IAを挟んで対向した場合を考える。本来、配線禁止領域IAが存在しなければ、ゼロスキューマージ法によるマージ点Mは、図7中において、頂点N<sub>1</sub>とN<sub>2</sub>とを結ぶ最短経路（マンハッタン距離によるものとする）の内分点を結ぶ実線M-M' 上に選択される。しかるに、図7の例では、実線M-M' は配線禁止領域IA内に完全に入ってしまっているので、迂回処理が必要である。

【0032】本実施例では、まず図9に示すように、頂点N<sub>1</sub>、N<sub>2</sub>および配線禁止領域IAを完全に包含する最小の矩形領域（破線MR）を求める。次に、頂点N<sub>1</sub>、N<sub>2</sub>から最も近い最小矩形の頂点N<sub>1'</sub>、N<sub>2'</sub>とを結ぶ最短の線分N<sub>1</sub>-N<sub>1'</sub>、N<sub>2</sub>-N<sub>2'</sub>上に配線を決定する。次に、この線分N<sub>1</sub>-N<sub>1'</sub>、N<sub>2</sub>-N<sub>2'</sub>のディレイ分を上記サブツリーT<sub>1</sub>、T<sub>2</sub>のディレイt<sub>1</sub>、t<sub>2</sub>にそれぞれ加えた値をディレイ値として持つ仮想サブツリーT<sub>1'</sub>、T<sub>2'</sub>を考え、この仮想サブツリーT<sub>1'</sub>、T<sub>2'</sub>の頂点を上記最小矩形の頂点N<sub>1'</sub>、N<sub>2'</sub>に置き、ゼロスキューマージ法によりこれらのツリーのマージ点を求める。そして、そのうち最小矩形MRの辺上に位置する点M' またはM" をマージ点と決定する。

【0033】サブツリーT<sub>1'</sub>、T<sub>2'</sub>間に配線禁止領域IAが存在しなければ、マージ点Mは、図9中において、実線M'-M" 上のどこでもよいことになるが、配線禁止領域IAを迂回するような最短の配線をレイアウトする場合には、マージ点を点M' またはM" に置き、N<sub>1'</sub>とM' またはM" 間およびN<sub>2'</sub>とM' またはM" 間を結ぶ線分上に、サブツリーT<sub>1'</sub>、T<sub>2'</sub>とマージ点とを結ぶ配線を置くように決定する。以上の手順によって配線禁止領域IAを迂回した最短の配線経路が得られる。

【0034】次に、本発明の第3の実施例を図10および図11を用いて説明する。本実施例は、スタンダードセル方式の論理LSIに本発明を適用する場合の実施例

である。そこで、本実施例の対象となった論理LSIについて簡単に説明する。

【0035】図10および図11において、10はシリコンのような半導体チップ、11はメモリ部、12は演算部、13はレジスタ部、14はランダムロジック部、15はチップの周縁に沿って多数配置された入出力バッファ回路群、16は外部から供給される発振信号（もしくは基準クロックCLK）を波形整形して内部の末端回路に供給するためのクロック形成回路、20はこのクロック形成回路16から上記各内部回路11、12、13、14にクロックを供給するツリー状クロック配線である。なお、上記クロックジェネレータ16内に前述のルートバッファが設けられる。

【0036】上記回路のうち、メモリ部11と演算部12、レジスタ部13はマクロセルとして予め設計されていたものであり、これらのマクロセルにあっては予めクロック配線を含んで配線レイアウトが設計されているので、本実施例においては各セルの入り口に設けられたクロック入力端子までクロックを分配供給する配線を設計してやれば良い。また、上記各マクロセルは本発明によりクロック配線のレイアウトを設計する際の配線禁止領域となるものである。そこで、本実施例では、上述した第2の実施例による迂回方法を適用して配線レイアウトを設計した。図9から、上記マクロセル11、12、13の上にクロック配線20が配設されていない様子が分かる。

【0037】一方、ランダムロジック部14に関しては、ランダムロジックを構成する末端回路としてのラッチ回路等までクロックを供給する配線を設計してやる必要がある。しかるに、ランダムロジック部に関しては、クロックを必要とする末端回路が半導体チップ上において他の部位よりも局所的に多く存在するため、クロックを末端回路に供給するまでに非常に分岐が多くなる。そのため、第1の実施例を末端の回路から適用するとクロック配線のレイアウト設計の負担が非常に重くなる。そこで、この実施例では、図11に示すように、ランダムロジック部14上の配線を例えば格子状に形成してなる網かけ方式を末端のクロック配線に適用し、網状配線21の適当な位置にそれぞれクロックバッファを配置して、上記クロックジェネレータ16からそれらのバッファに対してクロックを供給する配線20のレイアウトを決定するのに、前述した第1の実施例を適用するようにした。この場合、網状クロック配線を駆動するバッファアンプを他の部位に設けられたクロックを必要とする末端回路と対等な末端回路とみなしてゼロスキューマージ法を適用すると良い（図12参照）。

【0038】図10において、符号Xで示されている部分は、ディレイを合わせるため余分な長さになったクロック配線20が折り返して冗長に形成されている部分である。また、図10において、ドットBで示されている

のが、中間バッファアンプが配置されている位置である。図10においては、ドットBで示されるバッファがクロック配線20の分岐点でなく途中に設けられている様子が分かる。

【0039】LSI内においてランダムロジック部のように局的にクロックを必要とする末端回路が集中する部位に網かけ方式のクロック配線を採用すると、それが比較的均一に分布する場合にはクロックスキューは小さくすることができ、これによって末端のクロック配線の設計負担を大幅に減らすことができる。

【0040】ただし、ランダムロジック部においてもこれをミクロ的に観察すると、クロックを必要とする末端回路の配置に偏りが生じることがある。末端回路の配置にこのような偏りがある場合、網状のクロック配線に対して均等にクロックを供給したのでは末端回路で $t_{rf}$ 値がばらついてスキューが発生するおそれがある。そこで、本実施例では、クロックを必要とする末端回路の分布に応じて、すなわちクロックを必要とする末端回路が集中する部分にはまばらな部分に比べて多くのクロックバッファを配置して、それらのバッファに対してクロックを供給する配線の設計に第2実施例を適用するようにした。

【0041】なお、上記実施例はCADによる自動配線設計に適用することができる。

【0042】以上説明したように上記実施例は、ゼロスキューマージ法によりチップ全体のツリー状のクロック配線レイアウトを一旦設計した後、末端回路でクロックの立上り立下り時間が許容値を超えている場合には立上り立下り時間が許容値以下になる $t_{rf}$ 許容点をツリー上で求め、そこをバッファアンプ挿入位置とし、次に、 $t_{rf}$ 許容点よりも上位の配線レイアウト情報を破棄し、 $t_{rf}$ 許容点より下位のツリーのディレイを考慮してゼロスキューマージ法により再度ツリー状配線レイアウトを設計した後、上記バッファ挿入点でクロックの立上り立下り時間が許容値を超えていないか調べて超えている場合には $t_{rf}$ 許容点を見つけてそこをバッファアンプ挿入位置とし、上記手順を繰り返すことにより最終的なクロック配線レイアウトを決定するようにしたので、末端回路での立上り立下り時間が揃いしかもスキューの小さなクロック配線レイアウトを得ることができるという効果がある。

【0043】また、ゼロスキューマージ法によりツリー状のクロック配線レイアウトを設計する際に、マージ点を求めようとする2つのサブツリーの頂点としての分岐点が互いに配線禁止領域を挟んで位置する場合、2つの分岐点および配線禁止領域を包含する最小の矩形領域を求め、次に、上記各分岐点とそれらに最も近い最小矩形の頂点とを結ぶ冗長配線を決定した後、この冗長配線の持つディレイ分を着目する2つのサブツリーの各ディレイにそれぞれ加えた値をディレイ値として持つサブツリ

ーを仮想し、この仮想サブツリーの頂点を上記最小矩形の頂点に置いて、ゼロスキューマージ法によりマージ点を求めて、そのうち上記最小矩形の辺上に位置する点をマージ点と決定するようにしたので、クロック配線を設計しようとするLSIチップ上に配線禁止領域が存在する場合にも、これを迂回した最短の配線経路が得られるという効果がある。

【0044】さらに、クロックを必要とする末端回路が半導体チップ上において他の部位よりも局的に多く存在するロジック部を有する半導体集積回路の設計において、上記ロジック部には上記各末端回路のクロック入力端子に接続された網状のクロック配線を設け、該網状クロック配線を駆動するバッファアンプを他の部位に設けられたクロックを必要とする末端回路と対等な末端回路とみなして上記の方法を適用してチップ全体のクロック配線を設計するようにしたので、クロック配線の設計負担を増大させることなく、クロックスキューを低減させることができるという効果がある。

【0045】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0046】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるスタンダードセル方式の論理LSIにおけるクロック配線のレイアウト設計に適用した場合について説明したが、本発明はクロック配線を必要とする半導体集積回路の配線設計一般に利用することができる。

#### 【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0048】すなわち、末端での立上り立下り時間が揃いしかもスキューの小さなクロック配線レイアウトを得ることができる。

【0049】また、マクロセルが配置されるスタンダードセル方式のLSIのように配線禁止領域を有する半導体集積回路の設計において、クロックスキューを生じることなくマクロセルを迂回するクロック配線を容易に設計することができる。

#### 【図面の簡単な説明】

【図1】従来のHツリー法によるクロック配線のレイアウトの一例を示す平面説明図、

【図2】ゼロスキューマージ法によるマージ点の決定の仕方を説明する説明図、

【図3】論理しきい値のばらつきに伴うスキューを示す波形図、

【図4】本発明に係るクロック配線の設計方法の第1段階を示す説明図、

【図5】本発明に係るクロック配線の設計方法の第2段

階を示す説明図、

【図6】本発明に係るクロック配線の設計方法の第3段階を示す説明図、

【図7】本発明に係るクロック配線の設計方法の全体の手順を示すフローチャート、

【図8】本発明による配線迂回処理を必要とする例を示す説明図、

【図9】本発明による配線迂回方法を示す説明図、

【図10】本発明に係るクロック配線の設計方法をスタンダードセル方式のLSIに適用した場合の配線レイアウトの一例を示す説明図、

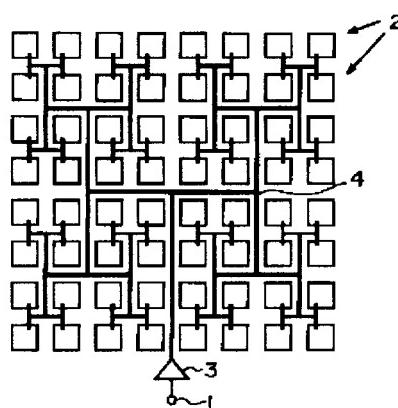
【図11】図10のクロック配線レイアウトのさらに詳細な配線レイアウトを示す説明図、

【図12】ランダムロジック部に網状クロック配線を用いた場合のランダムロジック部でのゼロスキューマージ法によるマージ点の決定の仕方を説明する説明図である。

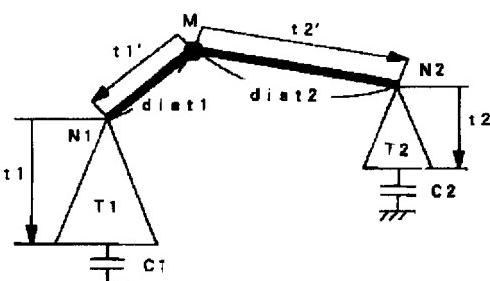
#### 【符号の説明】

1 クロック入力端子

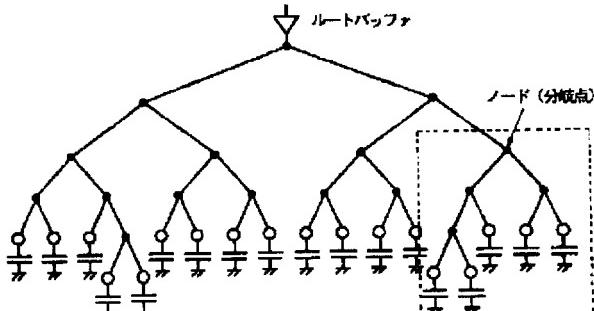
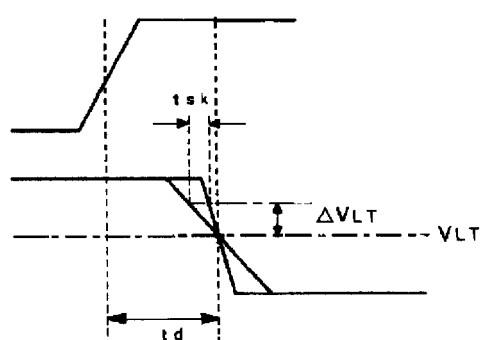
【図1】



【図2】



【図3】



2 末端回路（ラッチ回路）

3 ルートバッファ

4 クロック配線

M マージ点

T1, T2 サブツリー

t1, t2 ディレイ

VLT 論理しきい値

tsk スキュー

E 等trf線

10 10 半導体チップ

11 メモリ部

12 演算部

13 レジスタ部

14 ランダムロジック部

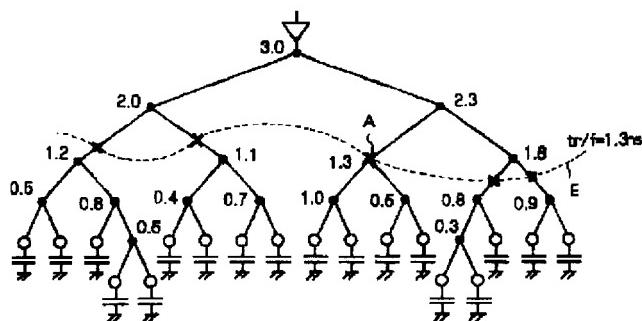
15 入出力バッファ回路群

16 クロック形成回路

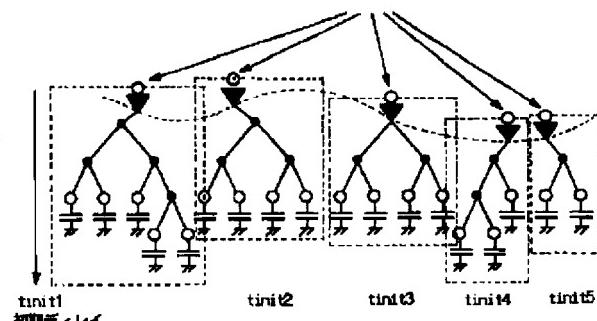
20 ツリー状クロック配線

21 網状クロック配線

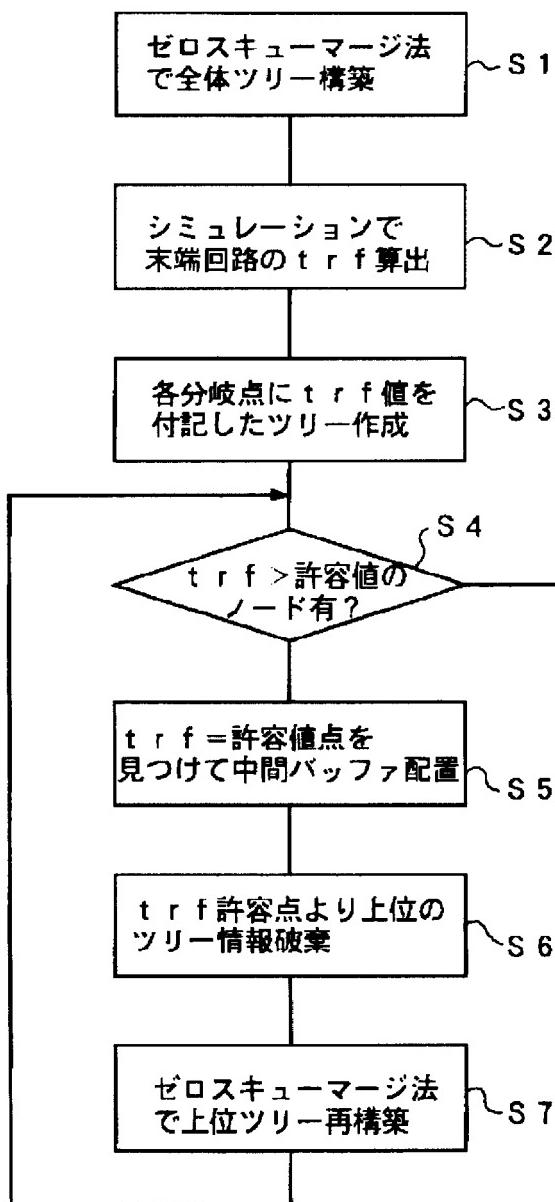
【図5】



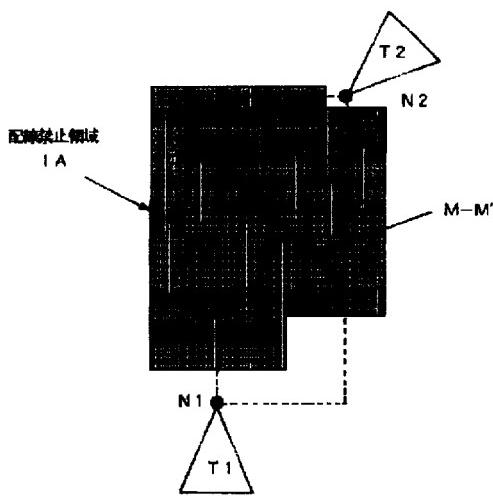
【図6】



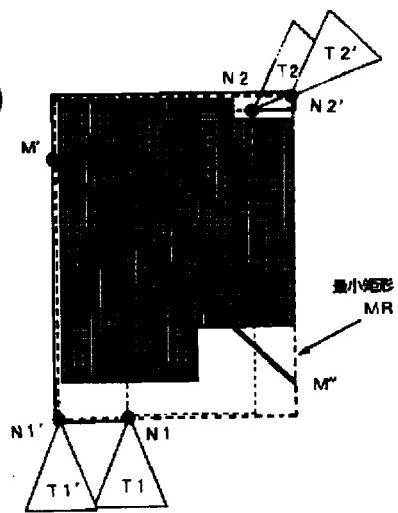
【図7】



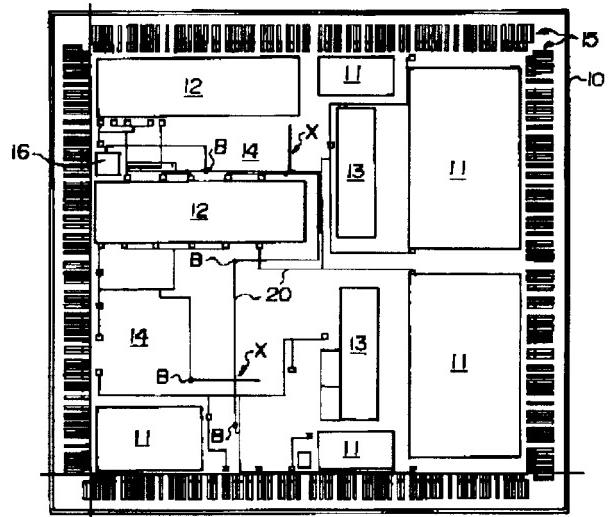
【図8】



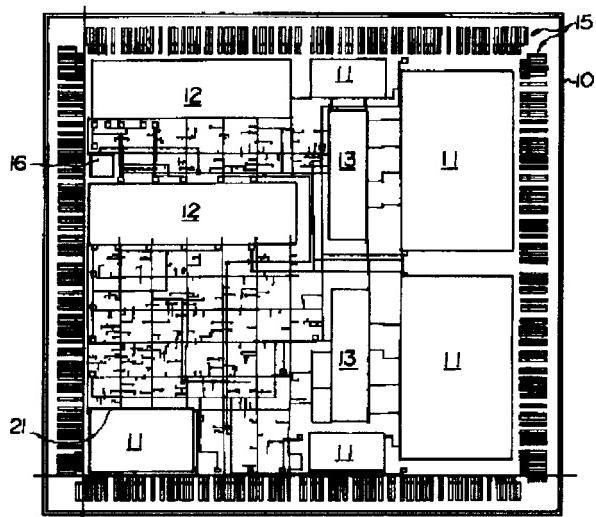
【図9】



【図10】



【図11】



【図12】

